

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-24926

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 9/38

識別記号

3 1 0

F I

G 0 6 F 9/38

3 1 0 F

審査請求 有 請求項の数3 F D (全 6 頁)

(21) 出願番号 特願平9-195069

(22) 出願日 平成9年(1997) 7月4日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西田 政人

東京都港区芝五丁目7番1号 日本電気株式会社内

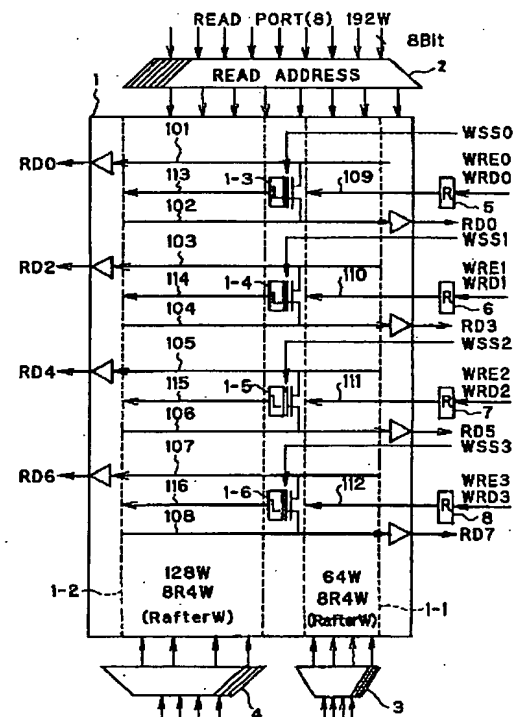
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【課題】 レジスタリネーミング制御を非常に簡単な制御で実現することが可能になる。また、差し替えパスの多くがRAM構造の中で行われ、多くの配線の引き回しが省略できるため、配線のためのレイアウト、収容性、遅延の増加を大幅に改善できる。

【解決手段】 レジスタリネーミングを行い、アウトオーダーで命令実行が可能な情報処理装置で、命令実行の結果を格納、取り出しを行うmワードの汎用レジスタと、アウトオーダー発行によって実行された未確定の命令の実行結果を格納するnワードのリネーミングレジスタをそれぞれ多ポートメモリで構成し、汎用レジスタの読み出しビット線と、リネーミングレジスタのメモリセルの読み出しビット線を結合し、m+nワードのレジスタとして読み出す手段と、書き込みビット線を分離し、処理結果を一旦リネーミングレジスタに書き込んでおき、汎用レジスタへ書き込む際は、上記読み出し手段で読み出されたリネーミングレジスタの内容を選択ラッチして汎用レジスタに書き込む手段を有する。



## 【特許請求の範囲】

【請求項 1】レジスタリネーミングを行い、アウトオブオーダーで命令実行が可能な情報処理装置において、命令実行の結果を格納し、且つ取り出しを行う m ワードの汎用レジスタと、アウトオブオーダー発行によって実行された未確定の命令の実行結果を格納する n ワードのリネーミングレジスタをそれぞれ多ポートメモリで構成し、

前記汎用レジスタのメモリセルの読み出しビット線と、前記リネーミングレジスタのメモリセルの読み出しビット線と、を結合し、 $m+n$  ワードのレジスタとして第一のアドレスデコーダによって指し示される位置のワードデータを読み出す第一の読み出し手段と、前記汎用レジスタのメモリセルの書き込みビット線と、前記リネーミングレジスタのメモリセルの書き込みビット線と、を分離し、第二のアドレスデコーダで指し示されるワード位置の汎用レジスタに書き込む第一の書き込み手段と、第三のアドレスデコーダで指し示されるワード位置のリネーミングレジスタに書き込む第二の書き込み手段と、を有することを特徴とする情報処理装置。

【請求項 2】前記第一の書き込み手段によって前記汎用レジスタに書き込まれるデータが、前記第一の読み出し手段によって読み出された前記リネーミングレジスタの内容であることを特徴とする、請求項 1 記載の情報処理装置。

【請求項 3】レジスタリネーミングを行い、アウトオブオーダーで命令実行が可能な情報処理装置において、命令実行の結果を格納し、且つ取り出しを行う汎用レジスタと、アウトオブオーダー発行によって実行された未確定の命令の実行結果を格納するリネーミングレジスタをそれぞれ多ポートメモリで構成し、前記汎用レジスタと前記リネーミングレジスタの読み出しポートを共通化し、前記汎用レジスタと前記リネーミングレジスタの書き込みポートは分離し、前記リネーミングレジスタに書き込まれた内容の読み出しデータを選択ラッチして前記汎用レジスタに書き込む、ように構成されてなることを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は情報処理装置に関し、特に、アウトオブオーダーで命令実行が可能なレジスタリネーミングを行う情報処理装置の処理機能に関する。

【0002】近年、情報処理装置に対して、より一層の性能向上が求められており、より高性能を実現するため、「スーパースカラ型」と呼ばれる高速化方式が採用されている。

【0003】スーパースカラ型のプロセッサでは、複数の命令を同時にデコードし、命令発行を行うが、各命令間には処理結果に対する依存関係があり、依存関係を維持したまま命令発行制御を行うと十分な性能が得られない。このため、多くのスーパースカラ型のプロセッサにおいて、「アウトオブオーダー発行」と呼ばれる、命令出現順序に従わない命令発行制御が行われている。

【0004】アウトオブオーダー発行制御では、命令の発行順序の入れ替えが発生するため、各命令で処理された結果を汎用レジスタ等へ書き込む場合に、書き込み順序の入れ替えも発生し得る。下記に示す例では、(2)の命令が、(1)の除算命令による結果の S0 レジスタへの書き込みを待ち合わせるため、アウトオブオーダー発行制御によって、(3)の命令が(2)の命令に先行して発行されることになるが、この場合、(3)の命令による S3 レジスタへの書き込みが、(2)の命令による書き込みに先行して発生する。

【0005】 $S0 \leftarrow S1 / S2$  ... (1)

$S3 \leftarrow S0 + S4$  ... (2)

$S3 \leftarrow S5 \times S6$  ... (3)

【0006】通常、命令出現順の実行結果が反映されることを期待しているので、最終的に書き込まれるレジスタの順序保証制御が必要となる。この制御のために、書き込みレジスタ名をシステム中でユニークになるような番号「タグ」に付け替える操作である「リネーミング」を行い、データの依存関係を特定する。

【0007】これらの機能を実現する手法としては、スコアボーディング、Tomasulo アルゴリズム等が知られている。例えば文献（ヘネシー、及びパターソン著、「コンピュータ・アーキテクチャ 設計・実現・評価への定量的アプローチ」、1992年12月25日、日経BP社、第293～298頁）等の記載が参照される。

【0008】Tomasulo アルゴリズムでは、依存関係があり先行命令の未確定データを機能ブロック単位で待ち合わせるために、「リザベーションステーション」と呼ばれる、バッファを持つ。

【0009】また、リネーミングの制御の一方式として、リネーミングされたレジスタの結果を、汎用レジスタに直接書き込むのではなく、一旦、「リネーミングレジスタ」と呼ばれるレジスタに、リネーミングされたタグ番号に対応する位置に格納しておき、実行順序が保証される時点に、結果の書き込みを行う制御がある。

【0010】図3に、従来方式の構成の一例を示す。図3には、従来方式として、4リード3ライトポートを有する汎用レジスタ1と、リザベーションステーションRS18-1/18-2で3命令の同時発行、2演算命令間のアウトオブオーダー発行が可能な構成を示す。図3において、2は読み出しアドレスデコーダ、4は書き込みアドレスデコーダ、5～7は書き込みデータレジスタ、

11-1~11-3は書き込みアドレスレジスタ、12-1~12-4は読み出しデータレジスタ、13はアドレスアダー、15、16は固定小数点/浮動小数点演算器、17はキャッシュユニットを示している。

【0011】命令発行制御ユニット（図示せず）でデコードされた命令のオペランドデータは、読み出しレジスタ9-1~9-4に汎用レジスタ1の読み出しアドレスがセットされ、読み出しデータレジスタ12-1~12-4に読み出され、アドレスアダー13、および、固定

小数点/浮動小数点演算器15、16に供給される。この場合、命令はデコード順で汎用レジスタSR1から読み出されることから、先行命令の処理が未完了であるために発行が不可の命令が発生する。

【0012】発行できない命令は、リザベーションステーションRS18-1/18-2に、一旦格納され、先行命令によるオペランドの確定を待ちあわせる。リザベーションステーション18-1/18-2からは、オペランドデータが確定した命令から順に演算器15/16

に対して発行される。

【0013】この従来方式では、アドレスアダー13側には、リザベーションステーションを設けていないため、アドレスアダー13を利用するメモリアクセス命令はアウトオブオーダー発行ができない。このため、命令デコードステージでオペランドの確定を待ちあわせることになることから、後続命令の発行ができず、性能低下要因になる。

【0014】処理結果の汎用レジスタ1への格納については、書き込みデータレジスタ5、6、7を介して汎用レジスタ1に書き込まれるが、出力依存のある命令間での書き込みの追い越しがあった場合、先行命令の汎用レジスタ1への書き込みを抑止する制御が行われる。そして、演算結果は、後続命令によって参照される可能性があるため、各ステージのレジスタ、リザベーションステーションに対するデータの差し替えパスを有している。

【0015】

【発明が解決しようとする課題】しかしながら、上記した従来方式は、下記記載の問題点を有している。

【0016】第1の問題点は、上記のように、レジスタリネーミング制御を行うための機能の組み込みが必要であるが、Tomassuloアルゴリズムによる、リザベーションステーション方式等においては、リザベーションステーションは、構造上RAM（ランダムアクセスメモリ）構成で実現することは困難であり、また、レイアウト的にも分散する傾向があり、このため、遅延時間、ハードウェア量としても大きくなる傾向にあるとともに、制御も複雑になる、ということである。

【0017】第2の問題点は、スーパースカラ方式では、同時に複数の命令の処理を行うため、複数のデータを汎用レジスタから同時に読み出すことが必要とされ、このため、汎用レジスタは多数のリードライトポートを

持つRAMマクロで構成され、また、リネーミングレジスタ等からのデータの差し替えパス等の確保が必要であり、膨大なデータ線の引き回しが必要となる、ということである。

【0018】なお、近年のマイクロプロセッサでは、4命令程度の同時発行を実現するため、10以上のポートを持つメモリで構成され、チップ設計が非常に困難になってきている。

【0019】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、レジスタリネーミング制御を非常に簡単な制御で実現することを可能とすると共に、差し替えパスの多くがRAM構造の中で行われ、多くの配線の引き回しが省略可能とし、収容性、遅延の増加を大幅に改善する、情報処理装置を提供することにある。

【0020】

【課題を解決するための手段】前記目的を達成するため、本発明の情報処理装置は、レジスタリネーミングを行い、アウトオブオーダーで命令実行が可能な情報処理装置であって、命令実行の結果を格納、取り出しを行うmワードの汎用レジスタと、アウトオブオーダー発行によって実行された未確定の命令の実行結果を格納するnワードのリネーミングレジスタをそれぞれ多ポートメモリで構成し、前記汎用レジスタのメモリセルの読み出しビット線と、前記リネーミングレジスタのメモリセルの読み出しビット線を結合し、m+nワードのレジスタとして第一のアドレスデコードによって指し示される位置のワードデータを読み出す第一の読み出し手段と、前記汎用レジスタのメモリセルの書き込みビット線と、前記リネーミングレジスタのメモリセルの書き込みビット線を分離し、第二のアドレスデコードで指し示されるワード位置の汎用レジスタに書き込む第一の書き込み手段と、第三のアドレスデコードで指し示されるワード位置のリネーミングレジスタに書き込む第二の書き込み手段と、を有する。

【0021】また、本発明においては、前記第一の書き込み手段によって汎用レジスタに書き込まれるデータは、前記第一の読み出し手段によって読み出されたリネーミングレジスタの内容であることを特徴とする。

【0022】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい実施の形態において、レジスタリネーミングを行い、アウトオブオーダーで命令実行が可能な情報処理装置において、命令実行の結果を格納、取り出しを行うmワードの汎用レジスタ（図2の1-2）と、アウトオブオーダー発行によって実行された未確定の命令の実行結果を格納するnワードのリネーミングレジスタ（図2の1-1）をそれぞれ多ポートメモリで構成し、汎用レジスタの読み出しビット線とリネーミングレジスタの読み出しビット線を共通化し、m+nワード

ードのレジスタとして読み出す手段と、汎用レジスタの書き込みビット線とリネーミングレジスタの書き込みビット線を分離し、処理結果を一旦、リネーミングレジスタに書き込んでおき、汎用レジスタへ書き込む際は、上記読み出し手段で読み出されたリネーミングレジスタの内容を選択ラッチして(図2の1-3等)、汎用レジスタ(図2の1-2)に書き込むようにしたものである。

【0023】本発明の実施の形態によれば、レジスタリネーミング制御を簡単な制御で実現することが可能になる。また、差し替えパスの多くがRAM構造の中で行われ、多くの配線の引き回しが省略できるため、配線のためのレイアウト、収容性、遅延の増加を大幅に改善できる。

#### 【0024】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例を図面を参照して以下に説明する。

【0025】図1は、本発明の一実施例の構成を示すブロック図である。図1を参照すると、レジスタ1は、128ワードの汎用レジスタSR部と、64ワードのリネーミングレジスタRR部の2つの部分から構成されるレジスタファイルである。8組の読み出しレジスタ9-1~9-8は、それぞれアドレスデコーダ2に接続され、192ワードのデコード出力としてレジスタファイル1に接続される。4組のRR(リネーミングレジスタ)書き込みレジスタ10-1~10-4は、それぞれアドレスデコーダ3に接続され、64ワードのデコード出力として、リネーミングレジスタRRにのみ接続される。4組のSR(汎用レジスタ)書き込みレジスタ11-1~11-4は、それぞれアドレスデコーダ4に接続され、128ワードのデコード出力として、汎用レジスタSRにのみ接続される。8組の読み出しレジスタ9-1~9-8で指し示された位置から読み出された、リネーミングレジスタRR、及び、汎用レジスタSRの読み出し結果は、それぞれ8組の読み出しデータレジスタ12-1~12-8に格納される。

【0026】各読み出しデータレジスタ12-1~12-8は、アドレスアダー13、14、及び、2組の固定小数点/浮動小数点演算器15、16に接続され、アドレスアダー13、14は、さらにキャッシュユニット17に接続される。

【0027】キャッシュユニット17では、アドレスアダー13、14で計算された、主記憶上のアドレス情報を基に、プロセッサ内のキャッシュメモリをアクセスし、ヒットした場合は、指定位置のキャッシュの内容を、ミスヒットなら、主記憶からのデータの取り出しを行う。

【0028】また、固定小数点/浮動小数点演算器15、16では、読み出しレジスタ12を入力データとして、命令発行ユニットによって指定された演算処理が行

われる。

【0029】キャッシュユニット17、および、固定小数点/浮動小数点演算器15、16で処理された結果は、各々書き込みデータレジスタ5、6、および7、8に格納され、RR書き込みレジスタ10-1~10-4で指定されるリネーミングレジスタ位置に書き込まれる。

【0030】図2に、本発明の一実施例における、汎用レジスタSRとリネーミングレジスタRRを含むレジスタファイル1の構造を示す。

【0031】図2を参照すると、レジスタファイル1は、64ワードのリネーミングレジスタ1-1と、128ワードの汎用レジスタ1-2から構成されている。8組のリードポートに対応するレジスタファイルのリードポートのビット線101、102、103、104、105、106、107、108は、レジスタRで結合され、192ワードのレジスタとしてデータの読み出しが行われる。

【0032】リネーミングレジスタ1-1に対する書き込みビット線109、110、111、112は、書き込みデータレジスタ5、6、7、8にそれぞれ接続され、書き込みデータレジスタの内容がRR書き込みアドレスデコーダ3の指定するワード位置に書き込まれる。

【0033】また、信号線101、102を介して読み出されるリネーミングレジスタ1-1の読み出しデータは、セレクト付きラッチ1-3で選択、ラッチされ、該ラッチされたデータは、汎用レジスタ1-2に対する書き込みビット線113を介して、SR書き込みアドレスデコーダ4の指定するワード位置に書き込まれる。

【0034】同様に、リネーミングレジスタ1-1の内容が、信号線103、104を介してセレクト付きラッチ1-4で選択、ラッチされ、信号線114を介して汎用レジスタ1-2に書き込まれる。同様に、リネーミングレジスタ1-1の内容が、信号線105、106を介してセレクト付きラッチ1-5で選択、ラッチされ、信号線115を介して汎用レジスタ1-2へ、信号線107、108を介してセレクト付きラッチ1-6で選択、ラッチされ、信号線116を介して、汎用レジスタ1-2に書き込まれる。

【0035】本発明の一実施例の動作について、図3に示した従来方式と比較して説明する。

【0036】前述したように、図3を参照して説明した上記従来方式では、アドレスアダー側には、リザーベーションステーションを設けていないため、アドレスアダーを利用するメモリアクセス命令はアウトオブオーダー発行ができないため、命令デコードステージでオペランドの確定を待ちあわせることになり、後続命令の発行ができず、性能低下要因になる。また処理結果の汎用レジスタへの格納は、書き込みデータレジスタ5、6、7を介して汎用レジスタに書き込まれるが、出力依存のある命令

間での書き込みの追い越しがあった場合、先行命令の汎用レジスタSRへの書き込みを抑止する制御が行われる。また演算結果は、後続命令によって参照される可能性があるため、各ステージのレジスタ、リザベーションステーションに対するデータの差し替えパスを有する。

【0037】これに対して、図1に示す、本発明の一実施例においては、大幅な性能改善を図るために、8つのオペランドの同時読み出しと、4つ書き込みが同時にできるレジスタファイルを備えており、4つの命令の同時発行が可能な構成としたものである。

【0038】本実施例では、データパス内でオペランドの待ち合わせを行うのではなく、命令発行制御ユニット内で命令発行のリオーダリングする制御ユニット（図示せず）を有し、RR/SRレジスタファイル1の読み出しは、リネーミングレジスタRR、または汎用レジスタSRにデータ確定した、または、確定する予定の命令に対して行われる。

【0039】各汎用レジスタ更新命令には、システム中でユニークになるような、“タグ”情報＝リネーミングレジスタ番号が割り当てられ、各命令の処理結果は、一旦リネーミングレジスタの該当位置に格納される。

【0040】リネーミングレジスタRRに格納された処理結果は、先行する命令すべての処理が完了した時点で、汎用レジスタSRに対して書き込みが行われる。すなわち、汎用レジスタSRへの書き込みはインオーダー（in-order）化される。

【0041】オペランドデータの読み出しに関しては、汎用レジスタSRへの書き込みが完了した命令に関しては、汎用レジスタSRから、先行命令が未完了で汎用レジスタSRへ書き込まれていない命令に関しては、リネーミングレジスタRRから読み出される。

【0042】リネーミングレジスタRRから汎用レジスタSRへの書き込み時の、リネーミングレジスタRRの読み出すパスは、RR/SRの読み出すパスと共用される。

【0043】すなわち、リネーミングレジスタRRと汎用レジスタSRのメモリの読み出しデータのビット線は共通であり、このビット線で読み出されたデータは、一旦、リネーミングレジスタRRと汎用レジスタSRの間に実装される、セレクト付きラッチによって、選択ラッチされ、そのラッチ出力データが汎用レジスタSRに書き込まれる。

【0044】リネーミングレジスタRRと汎用レジスタSRの読み出しビット線を共用すると、RR/SRの読み出しと、汎用レジスタSRへの書き込みが競合するこ\*

\*とが懸念されるが、読み出し側が、命令発行の平均スループットに対して余裕を見て作られるので、汎用レジスタSR書き込みを、読み出しの合間を縫って実行しても、それほど性能低下にはつながらない。

【0045】本発明の一実施例において、RR/SRのメモリ構成は、読み出し側はビット線を共用することで、倍の本数のビット線を配線したり、RR/SRの読み出しデータを選択したりする必要がなくなる。

【0046】また、本発明の一実施例においては、書き込みポート数をそろえることで、RR/SRの幅が揃い、収容性が改善され、チップレイアウトを容易化するものである。

【0047】

【発明の効果】以上説明したように、本発明によれば、レイアウトが容易で収容性が大幅に改善するという効果を奏する。その理由は次の通りである。

【0048】リザベーションステーション構成等では、複数のバッファ、複数のデータパスが混在した構成となり、不規則なレイアウトになってしまうが、本発明によれば、多くのデータパスをレジスタファイルブロック内に規則的に収容できるようにしたためである。

【0049】また、本発明によれば、コンパクトで、短い配線で各ブロック間を接続することが可能であるため、遅延時間の点でも改善が期待される。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

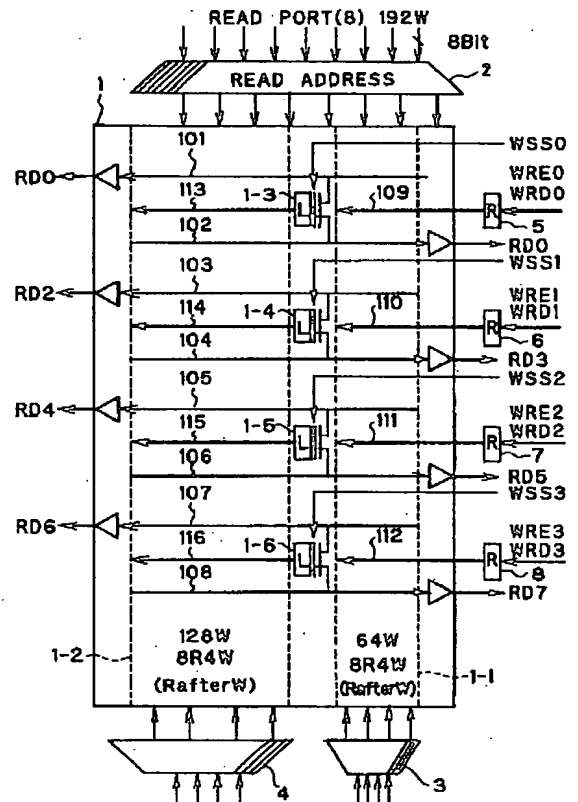
【図2】本発明の一実施例におけるレジスタファイル（RR/SR）の構成を示すブロック図である。

【図3】従来方式の構成の一例を示す図である。

【符号の説明】

- 1 レジスタファイル
- 1-1 リネーミングレジスタ
- 1-2 汎用レジスタ
- 1-3～1-6 セレクト付きラッチ
- 2 読み出しアドレスデコーダ
- 3～4 書き込みアドレスデコーダ
- 5～8 書き込みデータレジスタ
- 9-1～9-8 読み出しアドレスレジスタ
- 10-1～10-4 書き込みアドレスレジスタ
- 11-1～11-4 書き込みアドレスレジスタ
- 12-1～12-8 読み出しデータレジスタ
- 13、14 アドレスアダー
- 15、16 固定小数点/浮動小数点演算器
- 17 キャッシュユニット
- 18-1/18-2 リザベーションステーション

【図 2】



【図 3】

